

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 08222633 A

(43) Date of publication of application: 30.08.96

(51) Int Cl : H01L 21/768  
H01L 21/318

(21) Application number: 07053391

(22) Date of filing: 17.02.95

(71) Applicant YAMAHA CORP

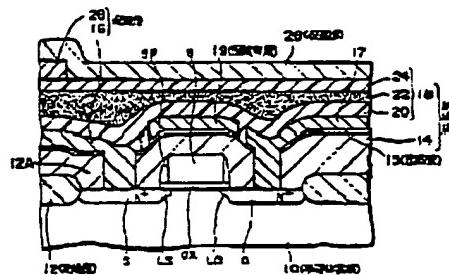
(72) Inventor: YAMAHA TAKAHISA  
HIRAIDE SEIJI

**(54) SEMICONDUCTOR DEVICE**

(57) Abstract

**PURPOSE:** To prevent the hot carrier resistance deterioration due to moisture and to reduce an interface state density in a semiconductor device having a MOS transistor.

**CONSTITUTION:** After a MOS transistor having a gate electrode layer G on the surface of a semiconductor substrate 10, an interlayer insulating film 14 and a shielding film 15 are sequentially formed thereon. After desired connecting holes are formed on the film 14 and 15, wiring layers 16, 17 and a wiring material layer 19 are formed. The layers 16, 17, 18 are all made of Al alloy layers having a Ti layer as the lowermost layer. After an interlayer insulating film 18 is formed to cover the layers 16, 17, 19; a wiring layer 28 is formed thereon. The film 18 includes a spin-on glass film 22, and contains moisture. The layer 19 prevents the moisture diffusion from the film 18 to the electrode layer G. The layer 15 prevents the occlusion of moisture concerned seed ( $H_2O$ ,  $OH^-$ ,  $H^+$ ) to the Ti layer of the layer 19.



COPYRIGHT: (C)1996 JPC

mimosa

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-222633

(43)公開日 平成8年(1996)8月30日

(51) Int.Cl.<sup>6</sup>  
H 01 L 21/768  
21/318

識別記号 庁内整理番号

厅内整理番号

F I  
H O L L 21/90  
21/31

技術表示箇所

審査請求 未請求 請求項の数 1 FD (全 6 頁)

(21) 出席番号

特開平7-53391

(22) 出題日

平成7年(1995)2月17日

(71)出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72) 春明者 山菴 隆久

静岡県浜松市中沢町10番1号ヤマハ株式会社内

(72) 発明者 平出 誠治

静岡県浜松市中沢町10番1号ヤマハ株式会社内

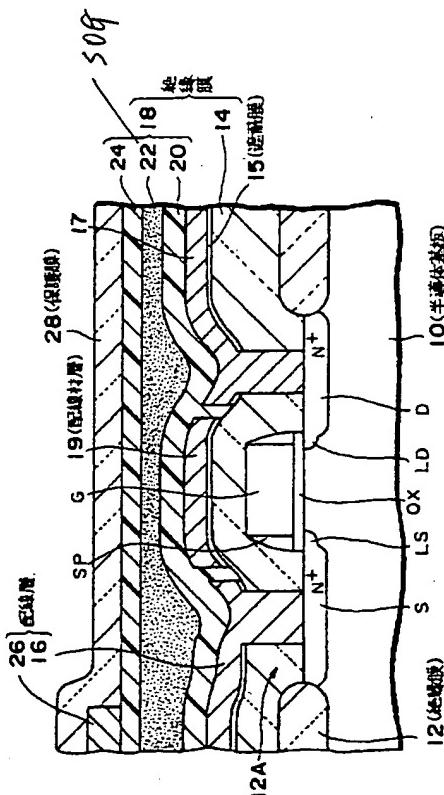
(74) 代理人 弁理士 伊沢 敏昭

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 MOS型トランジスタを有する半導体装置において、水分によるホットキャリア耐性劣化を防ぎ且つ界面準位の低減を図る。

【構成】 半導体基板10の表面にゲート電極層Gを有するMOS型トランジスタを形成した後、その上に層間絶縁膜14及び遮蔽膜15を順次に形成する。所望の接続孔を膜14、15に設けた後、配線層16、17及び配線材層19を形成する。層16、17、19は、いずれも最下層としてTi層を有するAl合金層等から成る。層16、17、19を覆って層間絶縁膜18を形成した後、その上に配線層26を形成する。膜18は、スピノン・オン・ガラス膜22等を含むもので、水分を含有する。層19は、膜18から電極層Gへの水分拡散を防ぎ、膜15は、層19のTi層に水分関連種(H<sub>2</sub>O、OH<sup>-</sup>、H<sup>+</sup>)が吸収されるのを防ぐ。



## 【特許請求の範囲】

## 【請求項1】基板と、

この基板の表面に形成されたMOS型トランジスタと、このMOS型トランジスタを覆って前記基板の表面に形成された第1の層間絶縁膜と、

この第1の層間絶縁膜の上に前記MOS型トランジスタのゲート電極層を覆って形成された水分拡散防止用の配線材層であって、最下層としてチタン層を有するものと、

前記第1の層間絶縁膜の上に前記配線材層を覆って形成され、水分を含有する第2の層間絶縁膜とを備えた半導体装置であって、

前記第1及び第2の層間絶縁膜の接触を確保した状態で前記第1の層間絶縁膜と前記チタン層との間に水分関連種遮蔽膜を介在配置したことを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、MOS型トランジスタを有するLSI等の半導体装置に関し、特に水分を含有する層間絶縁膜からゲート電極層への水分拡散を配線材層で阻止してホットキャリア耐性劣化を防止すると共に配線材層の最下層としてのチタン層による水分関連種( $H_2O, OH^-, H^+$ )の吸収を阻止して界面準位の低減を可能としたものである。

## 【0002】

【従来の技術】従来、MOS型LSI等における層間絶縁膜の平坦化技術としては、スピノン・オン・ガラス(SOG)等の絶縁膜を層間絶縁膜中に含ませるものが知られている。

【0003】図3は、この種の平坦化技術を利用したMOS型LSIの一部を示すものである。シリコンからなる半導体基板10の表面には、ゲート絶縁膜OXを介してゲート電極層Gを形成した後、イオン注入処理等により低不純物濃度のN型のソース領域LS及びドレイン領域LDを形成する。そして、電極層Gの両側にサイドスペーサS Pを形成した後、イオン注入処理等により高不純物濃度のN'型のソース領域S及びドレイン領域Dをそれぞれ領域LS及びLDに連続して形成する。

【0004】次に、基板上面には、上記のようにして形成されたMOS型トランジスタを覆って絶縁膜14を形成する。絶縁膜14としては、例えばCVD(ケミカル・ベーパー・デポジション)法により形成したBPSG(ボロン・リンケイ酸ガラス)膜が用いられる。

【0005】次に、ソースコンタクト、ドレインコンタクト等に対応する接続孔を絶縁膜14に形成した後、基板上面に配線材層を被着してパターニングすることにより1層目の配線層としてのソース配線層16及びドレイン配線層17を形成する。配線層16、17としては、例えば図5で層16について示すように下から順にTi

層16a、TiN層16b、Al合金(例えばAl-Si-Cu)層16c及びTiN層16dを積層したものが用いられる。Ti層16aは、コンタクト抵抗を低減するためのもの、TiN層16bは、バリア性を有するもの、TiN層16dは、ホトリソグラフィ処理時に光反射を防止するためのものである。

【0006】次に、絶縁膜14の上に配線層16、17を覆って層間絶縁膜18を形成する。絶縁膜18としては、例えばテトラ・エトキシ・シラン(TEOS)を用いるプラズマCVD法によりシリコンオキサイド膜20を形成した後、その上に回転塗布法等によりSOG膜22を平坦状に形成し、さらにその上にTEOSを用いるプラズマCVD法によりシリコンオキサイド膜24を形成したものが用いられる。

【0007】この後、絶縁膜18の上に2層目の配線層26を形成し、その上に保護膜28を形成し、水素を含む雰囲気中で400°C程度でアニールを行なう。保護膜28としては、例えばプラズマCVD法により形成したシリコンナイトライド膜が用いられる。

## 【0008】

【発明が解決しようとする課題】上記した従来技術によると、層間絶縁膜18が、吸湿性があり水分の多いSOG膜22等の絶縁膜を含んでいたため、絶縁膜18からゲート電極層Gに水分が拡散し、MOS型トランジスタのホットキャリア耐性を劣化させるという問題点がある。

【0009】このような問題点に対処するため、本願の筆頭発明者は、図4に示すような構成の半導体装置を先に提案した(特願平6-247154号参照)。図4において、図3と同様の部分には同様の符号を付して詳細な説明を省略する。

【0010】図4の装置が図3の装置と異なるのは、配線層16、17の形成工程を流用してゲート電極層Gを覆うように配線材層19を絶縁膜14上に形成したことである。この場合、配線材層19は、例えば図5に示したような構成を有するもので、配線層16、17のいずれか一方に連続していてもよく、あるいは配線層16、17から分離されていてもよい。

【0011】図4の構成によると、絶縁膜18から電極層Gへの水分拡散を配線材層19で阻止することができるので、ホットキャリア耐性的劣化を防止することができる。しかしながら、最終アニール処理で界面準位を十分に低減できないという問題点があることが判明した。

【0012】次の表1は、図3、4の各トランジスタ毎に作成されたサンプル1~4について配線層16、17及び配線材層19の構成並びに層間絶縁膜18の構成を示すものである。

## 【0013】

## 【表1】

サンプル	1	2	3	4
図3の16,17又は 図4の16,17,19	TiN/AI合金/TiN/Ti Ti = 20nm		TiN/AI合金/TiN/Ti Ti = 40nm	WSi/AI合金/WSi
図3又は 図4の18	24 22 20	TEOS SOG TEOS	TEOS SOG除去 TEOS	TEOS SOG除去 TEOS

ここで、層16, 17, 19に関するP/Q/Rのような表示は、下から順にR層、Q層、P層を積層したものであることを表わし、「Ti =」は、Ti層の厚さを、「AI合金」は、AI-Si-Cu合金をそれぞれ表わす。また、絶縁膜18に関し、「TEOS」は、TEOSを用いるプラズマCVD法で形成したシリコンオキサイド膜を、「SOG」は、SOG膜を、「SOG除去」は、SOG膜を形成した後エッチバック処理で除去したことをそれぞれ表わす。

【0014】絶縁膜14は、厚さ750nmのBPSG\*

10 \*膜とした。また、シリコンオキサイド膜20, 24の厚さは、いずれも500nmとし、SOG膜22の厚さは、500nmとした。さらに、保護膜28は、厚さ1000nmのシリコンナイトライド膜とした。

【0015】次の表2は、表1に示した1~4の各サンプル毎にサブスレッショルドスロープを測定した結果を示すもので、各サンプル毎の数値の単位は、mV/dcaddeである。

【0016】

【表2】

トランジスタ	サンプル			
	1	2	3	4
図3	85.6	85.9	85.9	85.7
図4	85.7	91.7	95.5	85.6

サブスレッショルドスロープの変化量を $\Delta S$ とし、界面準位の変化量を $\Delta D_{it}$ とすると、 $\Delta S$ は $\Delta D_{it}$ に比例する ( $\Delta S \propto \Delta D_{it}$ )。表1, 2によれば、図4の構成を有するサンプル2, 3が他のサンプルに比べて界面準位の低減が十分でないことがわかる。また、配線材層19の最下層としてのTi層を20nmから40nmに厚くしたサンプル3では、界面準位の低減度が一層不十分であることもわかる。

【0017】この発明の目的は、配線材層でゲート電極層を覆うことによりホットキャリア耐性劣化を防止するようにした半導体装置において、界面準位を十分に低減することにある。

【0018】

【課題を解決するための手段】この発明に係る半導体装置は、基板と、この基板の表面に形成されたMOS型トランジスタと、このMOS型トランジスタを覆って前記基板の表面に形成された第1の層間絶縁膜と、この第1の層間絶縁膜の上に前記MOS型トランジスタのゲート電極層を覆って形成された水分拡散防止用の配線材層であって、最下層としてチタン層を有するものと、前記第1の層間絶縁膜の上に前記配線材層を覆って形成され、水分を含有する第2の層間絶縁膜とを備えた半導体装置であって、前記第1及び第2の層間絶縁膜の接触を確保した状態で前記第1の層間絶縁膜と前記チタン層との間に水分関連種遮蔽膜を介在配置したことを特徴とするも

のである。

【0019】

【作用】前掲の表1, 2によれば、WSi/AI合金/WSi構造を採用したサンプル4では、図3又は図4のいずれのトランジスタでも界面準位が低減されている。また、絶縁膜18に含まれる水分が多い構造(SOGのノンエッチバック構造)のサンプル1では、配線材層19の最下層としてTi層を用いているにもかかわらず、図3又は図4のいずれのトランジスタでも、界面準位が低減されている。つまり、絶縁膜18に含まれる水分が少ない構造(SOGのエッチバック構造)のサンプル2, 3において、配線材層19の最下層としてTi層を用いた場合に界面準位が十分に低減されない。

【0020】ところで、界面準位は、Si/SiO<sub>2</sub>界面の三価Si (Si ≡ Si<sup>+</sup>)であり、最終アニール時の水素がこの三価Siを(Si ≡ Si-OH)のように終端して界面準位を低減するといわれている。しかし、発明者の実験によると、最終アニールを窒素雰囲気中で行なっても界面準位が低減された。そこで、発明者は、絶縁膜18中の水分関連種(H, O, OH<sup>-</sup>, H<sup>+</sup>)が最終アニール中にSi/SiO<sub>2</sub>界面にまで拡散し、三価Siを(Si ≡ Si-H, Si ≡ Si-OH)のように終端するものと考えている。

【0021】トランジスタ直上に水分関連種(H, O, OH<sup>-</sup>, H<sup>+</sup>)を吸収してしまうTi層がある場合、こ

のトランジスタの近傍の水分関連種濃度が低下して界面準位が低減されない(サンプル2, 3)。また、Tiの量が多いほど界面準位の低減が十分でない(サンプル3)。一方、絶縁膜18中に水分が十分にあれば、その水分の一部がTi層に吸収されても、十分な水分関連種濃度が確保されるので、界面準位が低減される(サンプル1)。また、水分関連種を吸収しない層がトランジスタ直上にあれば、水分関連種濃度が低下しないので、界面準位が低減される(サンプル4)。

【0022】この発明の構成によれば、第1及び第2の層間絶縁膜の接触を確保した状態で第1の層間絶縁膜とTi層との間に水分関連種遮蔽膜を介在配置したので、第2の層間絶縁膜から第1の層間絶縁膜へ水分関連種の拡散が許容されると共に遮蔽膜がTi層による水分関連種の吸収を阻止する。従って、ゲート電極層の近傍では、水分関連種の濃度が低下せず、最終アニールでは、十分に界面準位を低減することができる。

#### 【0023】

【実施例】図1, 2は、この発明の一実施例に係るMOS型LSIの一部を示すもので、図1は、図2のX-X'線に沿う断面に相当する。

【0024】例えばシリコンからなる半導体基板10の表面には、周知の選択酸化処理によりアクティブ領域配置孔12Aを有するフィールド絶縁膜12を形成する。そして、配置孔12A内の半導体表面部分には、前述したと同様にゲート絶縁膜OX、低不純物濃度のN型のソース領域LS及びドレイン領域LD、ゲート電極層G、サイドスペーサSP、高不純物濃度のN'型のソース領域S及びドレイン領域D等を形成する。一例として、ゲート長は0.5μmとした。

【0025】次に、基板上面には、上記のようにして形成されたMOS型トランジスタを覆って第1の層間絶縁膜14を形成する。絶縁膜14としては、厚さ750nmのBPSG膜をCVD法により形成した。この後、BPSG膜を緻密化するために850℃で熱処理を行なった。

【0026】次に、水分関連種遮蔽膜15として、厚さ10nmのシリコンナイトライド膜をプラズマCVD法により形成した。この場合、プラズマCVD法の代りに、シリコンの反応性スパッタ法を用いてもよい。また、シリコンナイトライド膜の厚さは、後述のドライエッチング工程で選択的に除去することを考慮すると、50nm以下がほしい。

【0027】次に、ソース領域S及びドレイン領域Dにそれぞれ対応する接続孔を絶縁膜14及び遮蔽膜15の積層に形成した後、基板上面に配線材を被着し、その被着層をホトリソグラフィ及びドライエッチング処理によりパターニングすることによりソース配線層16、ドレイン配線層17及び配線材層19を形成する。配線材層19は、図2に示すようにゲート電極層Gを覆うよう

パターンで形成する。図2の例では、配線材層19を配線層16, 17から分離して形成したが、所望により配線材層19を配線層16又は17のいずれかに連続して形成してもよい。配線層16, 17は、それぞれソースコンタクト部SC、ドレインコンタクト部DCにてソース領域S、ドレイン領域Dに接続される。図示しないゲート配線層は、ゲートコンタクト部GCにてゲート電極層Gと接続される。

【0028】層16, 17, 19は、一例として図5の構成においてTiN層16bをTiON層に置換したもの

のを用い、厚さは、 $TiN/Ai-Si-Cu/TiO$

$N/Ti = 40/400/100/20\text{ nm}$ とした。Ti

iON層の代りにTiN層を用いてもよい。ドライエッチングは、一例としてガス流量Cl<sub>2</sub>, /BCl<sub>3</sub> = 30/30sccm、圧力10mTorrの条件で行なった。そして、配線材のエッチングに続くオーバーエッチングにより遮蔽膜15を層16, 17, 19に対応するパターンで選択的に除去した。これは、後述の第2の層間絶縁膜18が絶縁膜14に接触するのを可能にするためである。

【0029】次に、基板上面に第2の層間絶縁膜18を形成する。絶縁膜18としては、一例として厚さ500nmのシリコンオキサイド膜20をTEOSによるプラズマCVD法により形成した後、その上に厚さ500nmのSOG膜22を回転塗布法等により形成し、さらにその上に厚さ500nmのシリコンオキサイド膜24をTEOSによるプラズマCVD法により形成した。この場合、シリコンオキサイド膜24の形成前にSOG膜22を表面から500nmの厚さだけエッチバックして除去し、その上にシリコンオキサイド膜24を形成してもよい。この結果得られる絶縁膜18は、SOG膜22をエッチバックしないものに比べて少量であるが、水分を含んでいる。

【0030】次に、絶縁膜18に所望の接続孔を形成してから絶縁膜18上に2層目の配線層26を形成する。そして、絶縁膜18の上には、配線層26を覆って保護膜28を形成する。保護膜28としては、一例として厚さ1000nmのシリコンナイトライド膜をプラズマCVD法により形成した。

【0031】この後、最終アニール処理を行なう。この処理は、一例としてN<sub>2</sub>及びH<sub>2</sub>を含む雰囲気中で400℃、30分の条件で行なった。この結果、図1のトランジスタにおいて、界面準位が十分に低減された。

【0032】上記した実施例によれば、絶縁膜18からゲート電極層Gへの水分拡散が配線材層19で阻止されるため、ホットキャリア耐性劣化を防止することができる。また、配線材層19の最下層としてのTi層と絶縁膜14との間に遮蔽膜15を介在配置したので、Ti層に水分関連種が吸収されるのを防ぐことができ、界面準位を十分に低減することができる。

7

【0033】この発明は、上記実施例に限定されるものではなく、種々の改変形態で実施可能なものである。例えば、遮蔽膜15としては、シリコンナイトライド等の絶縁膜に限らず、Al、Al合金、高融点金属（例えばW）又は高融点金属シリサイド（例えばWSi）等の導電膜を用いてもよい。絶縁膜は、エッチング残りが生じても導電膜のように配線間ショート等を招かないで、導電膜より使いやすい利点がある。

[0034]

【発明の効果】以上のように、この発明によれば、MOS型トランジスタのホットキャリア耐性劣化を防止すると共に界面準位の低減を可能としたので、高信頼のMOS型LSIを実現可能となる効果が得られるものである。

### 【図面の簡単な説明】

【図1】この発明の一実施例に係る半導体装置を示す基板断面図である。

【図2】 図1の装置における配線配置を示す上面図である。

【図3】 従来の半導体装置の一例を示す基板断面図である。

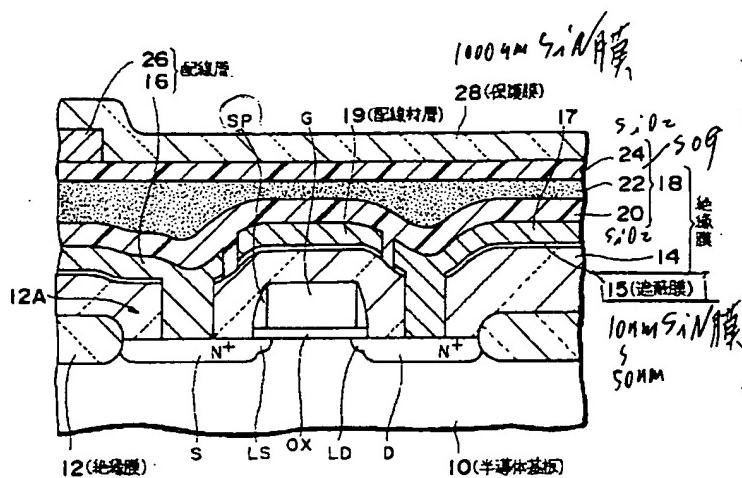
【図4】 従来の半導体装置の他の例を示す基板断面図である。

【図 5】 従来の配線層の一例を示す断面図である。

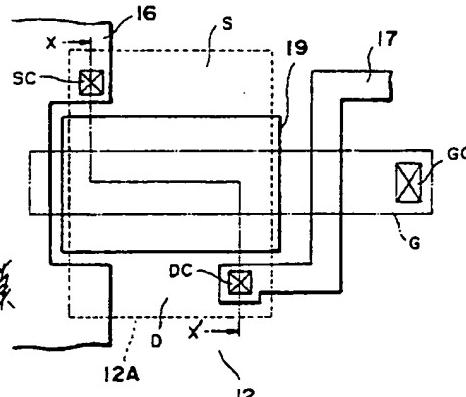
10 【符号の説明】

10 : 半導体基板、12, 14, 18 : 絶縁膜、15 : 水分関連種遮蔽膜、16, 17, 26 : 配線層、19 : 配線材層、28 : 保護膜、S : ソース領域、D : ドレイン領域、G : ゲート電極層。

[图 1]

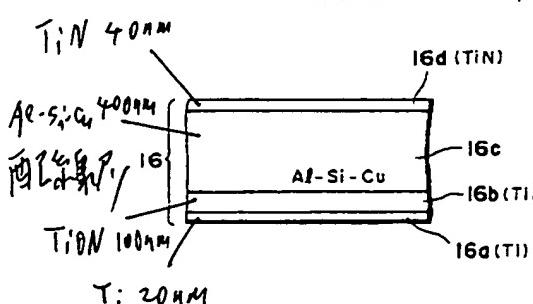


[图2]



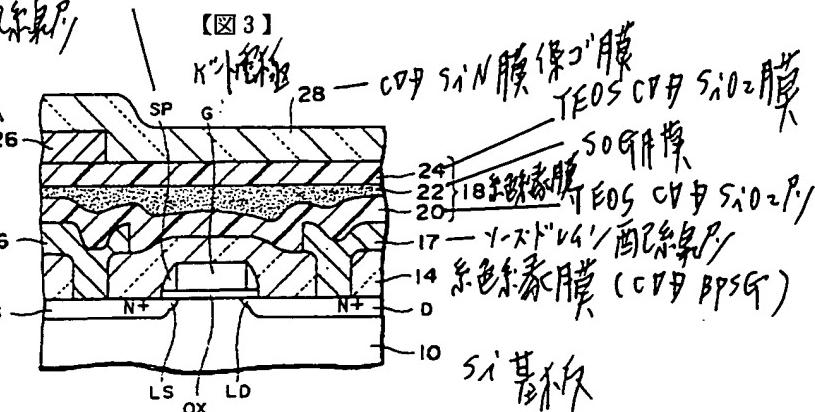
ナントスノ-3

[图 5]



二、P<sub>1</sub> 目標與結果

3



トネ色膜

